

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-349253

(43)Date of publication of application : 15.12.2000

(51)Int.Cl.

H01L 27/10  
H01L 21/3065  
H01L 27/04  
H01L 21/822  
H01L 27/108  
H01L 21/8242  
H01L 21/8247  
H01L 29/788  
H01L 29/792

(21)Application number : 2000-130442

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 28.04.2000

(72)Inventor : TEI TIGEN

(30)Priority

Priority number : 99 9915636

Priority date : 30.04.1999

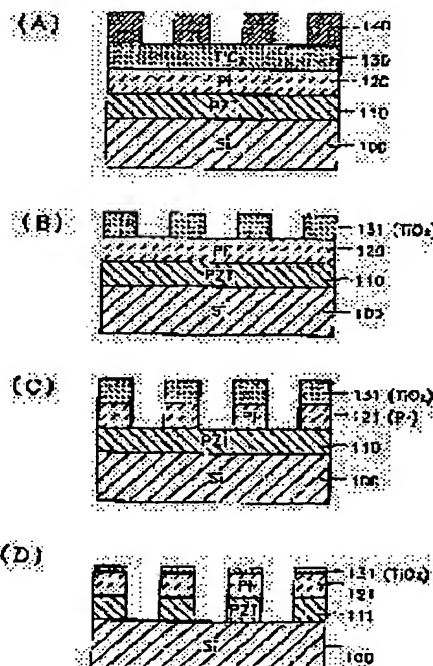
Priority country : KR

#### (54) METHOD FOR DRY ETCHING FERROELECTRIC SUBSTANCE CAPACITOR STRUCTURAL BODY

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for dry etching without re-vapor deposition of etching residues, when a ferroelectric substance capacitor structural body is formed.

**SOLUTION:** A ferroelectric substance PZT layer 110 and a rare metal electrode 120 are laminated on a silicon substrate 100, and a TiO<sub>2</sub> hard mask 130 is formed thereon, and then it is patterned by a resist 140 so as to form a hard mask 131. The entire body is dry-etched by using a mixed gas of C12, O<sub>2</sub> and Ar and the hard mask 131 as a mask, while an electrode 121 and a PZT111 are left successively, thereby forming a compact ferroelectric capacitor structural body which is of cell size and is formed almost vertical with respect to the substrate 100.



#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-349253

(P2000-349253A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
21/3065		21/302	J
27/04		27/04	C
21/822		27/10	6 5 1
27/108		29/78	3 7 1
審査請求 未請求 請求項の数 8 O L (全 11 頁) 最終頁に続く			

(21) 出願番号 特願2000-130442(P2000-130442)

(22) 出願日 平成12年4月28日 (2000. 4. 28)

(31) 優先権主張番号 99-15636

(32) 優先日 平成11年4月30日 (1999. 4. 30)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 鄭 智 元

大韓民国 京畿道 龍仁市 器興邑 農香

里 山14-1番地 三星綜合技術院内

(74) 代理人 100064414

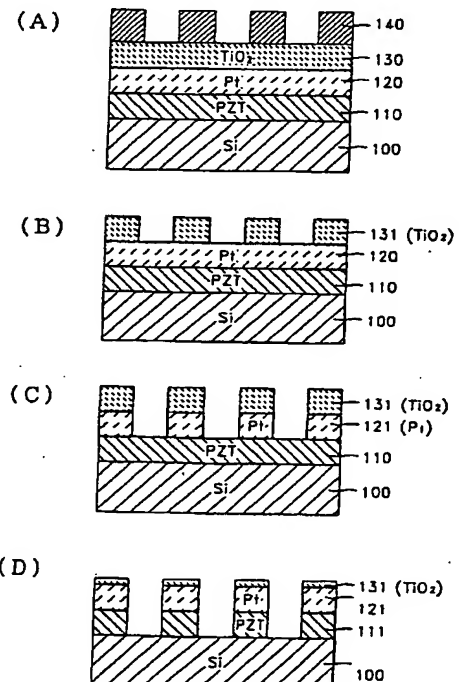
弁理士 磯野 道造

(54) 【発明の名称】 強誘電体キャパシタ構造体の乾式蝕刻方法

(57) 【要約】 (修正有)

【課題】 強誘電体キャパシタ構造体を形成する際の蝕刻残留物の再蒸着のない乾式蝕刻方法を提供する。

【解決手段】 シリコン基板100上に強誘電体PZT層110、貴金属電極120を積層した構造上にTiO<sub>2</sub>ハードマスク130を成膜し、レジスト140でパターンニングしてハードマスク131を形成する。これをマスクとしてC12/02/Arの混合ガスを用いて順次電極121、PZT111を残して乾式蝕刻することにより基板100に対してほぼ垂直にきり立ったセルサイズを小型化した強誘電体キャパシタ構造体を形成し得る



## 【特許請求の範囲】

【請求項 1】 強誘電体層を介在してその両側の対向面に各々電極を具備した強誘電体キャパシタ構造体の乾式蝕刻方法において、(a) 前記強誘電体キャパシタ構造体上にハードマスクを形成する段階と、(b) 前記ハードマスクを用いて  $\text{Cl}_2/\text{O}_2/\text{Ar}$  の混合ガスで前記ハードマスク下部の電極及び強誘電体層を順次に蝕刻する段階とを含むことを特徴とする強誘電体キャパシタ構造体の乾式蝕刻方法。

【請求項 2】 前記電極は、Pt、Ir、Ru、Rh のうちの少なくともいずれか 1 つの物質よりなることを特徴とする請求項 1 に記載の強誘電体キャパシタ構造体の乾式蝕刻方法。

【請求項 3】 前記電極は、Pt/IrO<sub>2</sub>、Pt/RuO<sub>2</sub>、Pt/LSCO、Ir/IrO<sub>2</sub>、Ir/RuO<sub>2</sub>、Ir/LSCO、Ru/IrO<sub>2</sub>、Ru/RuO<sub>2</sub>、Ru/LSCO のうちの何れか 1 つの積層構造よりなることを特徴とする請求項 1 または請求項 2 に記載の強誘電体キャパシタの乾式蝕刻方法。なお、前記 LSCO は、 $(\text{La}_x\text{Sr}_{1-x})\text{CoO}_3$  を表す。

【請求項 4】 前記強誘電体層は、 $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$  (PZT)、 $(\text{Pb}_x\text{La}_{1-x})(\text{Zr}_y\text{Ti}_{1-y})\text{O}_3$  (PLZT)、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$  (SBT)、 $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{2-x})\text{O}_9$  (SBNT) のうちの何れか 1 つの物質よりなることを特徴とする請求項 1 に記載の強誘電体キャパシタの乾式蝕刻方法。

【請求項 5】 前記電極/強誘電体層の構造は Pt/PZT、Ir/PZT、Ru/PZT、Pt/IrO<sub>2</sub>/PZT、Ir/IrO<sub>2</sub>/PZT、Ru/RuO<sub>2</sub>/PZT、Ir/RuO<sub>2</sub>/PZT、Pt/RuO<sub>2</sub>/PZT、Pt/SBT、Ir/SBT、Ru/SBT、Pt/IrO<sub>2</sub>/SBT、Ir/IrO<sub>2</sub>/SBT、Ru/IrO<sub>2</sub>/SBT、Pt/RuO<sub>2</sub>/SBT、Ru/RuO<sub>2</sub>/SBT、Ir/RuO<sub>2</sub>/SBT のうちの何れか 1 つの積層構造よりなることを特徴とする請求項 1 乃至 4 の何れか 1 項に記載の強誘電体キャパシタ構造体の乾式蝕刻方法。

【請求項 6】 前記 (a) 段階は、

(a-1) 前記ハードマスク物質をリアクティブスパッタリング法、スパッタリング法、スピンコーティング法及び化学気相蒸着法のうちの何れか 1 つの方法で前記強誘電体構造体上に蒸着させるサブ段階と、

(a-2) 前記ハードマスク物質蒸着層上にフォトレジストマスクを形成するサブ段階と、

(a-3) 前記ハードマスク物質蒸着層を蝕刻して前記ハードマスクを形成するサブ段階と、

(a-4) 前記ハードマスク上に残っているフォトレジストマスクを取り除くサブ段階とを含むことを特徴とする請求項 1 に記載の強誘電体キャパシタ構造体の乾式蝕刻方法。

【請求項 7】 前記 (a-1) サブ段階で前記ハードマスク物質として  $\text{TiO}_2$ 、 $\text{SiO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{RuO}_2$ 、 $\text{CrO}_2$  及び  $\text{TiN}$  のうちの少なくとも何れか 1 つの物質を使用し、前記 (a-3) サブ段階で前記ハードマスク物質蒸着層は  $\text{Cl}_2/\text{C}_2\text{F}_6/\text{Ar}$  の混合ガスで蝕刻することを特徴とする請求項 6 に記載の強誘電体キャパシタ構造体の乾式蝕刻方法。

【請求項 8】 前記 (b) 段階で前記  $\text{Cl}_2/\text{O}_2/\text{Ar}$  の混合ガスの混合比は、 $\text{Cl}_2$  ガスを 10 乃至 40 % とし、 $\text{O}_2$  ガスを 10 乃至 50 % とし、かつ、 $(\text{O}_2/\text{Cl}_2) > 1.0$  の条件を満たすことを特徴とする請求項 1 に記載の強誘電体キャパシタ構造体の乾式蝕刻方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は強誘電体メモリのような強誘電体を用いた各種素子に備えられた強誘電体キャパシタ構造体の乾式蝕刻方法に関する。

## 【0002】

【従来の技術】 従来の不揮発性強誘電体メモリ (FeRAM) 素子は、キャパシタとトランジスタとを含み、そのキャパシタは強誘電体物質を用いた強誘電体キャパシタで構成されている。前記強誘電体キャパシタは、図 1 (A)、(B) に示すように、強誘電体薄膜の両側対向面の各々に電極を配した MFM (Metal/Ferroelectric/Metal) 構造よりなる。

【0003】 このときに用いられる電極は、主に、貴金属の白金 (Pt)、ルテニウム (Ru)、イリジウム (Ir) 等の金属とこれらの金属の酸化物との各種組み合わせからなるもの、または前記金属の中から選択された少なくとも 1 つのもので構成される。このような強誘電体キャパシタを製造するにあたって、強誘電体薄膜と電極とを適切な形状に蝕刻することが必要である。その際、所要の強誘電体キャパシタの構造に応じて電極と強誘電体とを 1 つのマスクで同時に蝕刻する場合と、電極と強誘電体とを 2 つのマスクで各々別々に蝕刻する場合がある。

【0004】 また、前記強誘電体をゲート絶縁層に使用することによって前記 MFM 構造の強誘電体キャパシタ無しでメモリ素子を構成する単一トランジスタメモリ素子を有する不揮発性強誘電体メモリ (FeRAM) 素子として、MFS FET (Metal/Ferroelectric/Silicon Field Effect Transistor (金属/強誘電体/シリコン 電界効果型強誘電体素子)) (図略) や、図 2 (A) 及び図 2 (B) に示されるような強誘電体とシリコンとの反応を制御するための絶縁体を使用する MFI S FET (Metal/Ferroelectric/Insulator/Silicon Field Effect Transistor (金属/強誘電体/絶縁体/シリコン 電界効果型強誘電体素子)) があ

る。

【0005】このようなMFS FETやMFIS FETのゲート電極を所望の形状に形成する場合には、それぞれ、ゲート電極(Pt)と強誘電体薄膜(PZT:  $Pb(Zr_xTi_{1-x})O_3$ )、前記両者と絶縁体薄膜( $TiO_2$ )に対して1つのマスクを使用して同時に蝕刻し、前記ゲート電極と強誘電体薄膜等の蝕刻された側面(以下、「蝕刻側面」という。)が基板に対してなす角度(以下、「角度」という。)をなるべく90°程度に形成して適切なパターン形状とするべきである。

【0006】しかしながら、図1(A)、(B)に示すMFM構造の強誘電体キャパシタや、MFS FETまたは図2(A)、(B)に示すMFIS FETのゲート電極を形成する際に、それらの電極と強誘電体等を1つのマスクで同時に蝕刻することによって前記貴金属等を適切なパターン形状とすることは難しい。

【0007】即ち、図1(A)、図2(A)に示されるように、前記電極の蝕刻側面に、蝕刻によって発生した蝕刻残留物が再蒸着した層(以下、「再蒸着」という。)1、10が発生し易く、それに伴って、電極の蝕刻側面の輪郭(profile)も図1(B)及び図2(B)に示されるように基板と蝕刻側面との傾斜角度(以下、「蝕刻傾斜角度」という。)が45°以下となり、電極の下部に位置する強誘電体薄膜または強誘電体薄膜と絶縁体薄膜の蝕刻側面の輪郭も蝕刻傾斜角度が45°以下に劣化されてマスクよりも蝕刻されたパターンの方が大きくなる。このような従来の蝕刻法を詳しく説明すれば次の通りである。

【0008】前記強誘電体キャパシタを構成する電極をパターン化して形成するために、一般に乾式蝕刻法が使われるが、Pt、Ru、Irなどの金属からなる電極は反応性が非常に小さいため蝕刻ガスとの化学反応による蝕刻を充分に行うことが難しい。従って、Pt、Ir、Ruなどからなる電極の蝕刻時には、蝕刻率を増加させて蝕刻残留物を抑制させたり、その蝕刻残留物の量を減らしてその再蒸着を防いだりするために、比較的反応性の強い塩素ガスを過剰な量で使用することになる。通常、かかる場合に用いられるフォトリソマスクはこの塩素ガスの攻撃を受けて侵食され易い。特に、フォトリソマスクは上面のみならず側面にも塩素ガスの攻撃を受け易いため、フォトリソマスク側面の傾斜角度が所望の90°からそれ以下に減少し、大部分のフォトリソマスクが所期のパターン形状を失い、パターンの大きさが垂直方向のみならず水平方向にも縮まる。その結果、パターンの蝕刻傾斜角度は45°を超えないものとなり易い。

【0009】もし、このようにして蝕刻された電極の蝕刻傾斜角度で電極の下部の強誘電体(PZT等)薄膜をパターンニングするならば蝕刻される強誘電体の蝕刻傾斜角度も、45°以下に形成されてしまうこととなる。図

3(A)及び図3(B)は既存のフォトリソを用いた従来の蝕刻法によって形成された1例のPt/PZTスタック構造の断面を示すSEM(走査型電子顕微鏡)写真である。

【0010】図3(A)、図3(B)に示されるように、従来の蝕刻法によって形成された1例のPt/PZTスタック構造では、電極と強誘電体の蝕刻傾斜角度は45°より小さくなっていることが分かる。このような従来の蝕刻法によれば、電極と強誘電体薄膜の厚さに応じてパターンのサイズが大きくなり、その結果として単位セルのサイズも設計したものに比べて大きくなる。また、それに伴って電極の大きさも変化するため、実際にパターンを形成(蝕刻)した後の強誘電体キャパシタの電荷量と設計段階での電極の大きさによる電荷量との間に差が生じ、製造された強誘電体キャパシタ構造体では所望の性能が得られなくなるという問題点が引き起こされる。

【0011】

【発明が解決しようとする課題】本発明は前記問題点を改善するために創案されたものであって、ハードマスクと、適切な混合ガスで構成される蝕刻ガスとを使用することによって蝕刻残留物を減らしてその再蒸着を防ぎ、電極及び電極下部の強誘電体薄膜等の蝕刻された側面が基板となす傾斜角度を適切に増加させる強誘電体キャパシタ構造体の乾式蝕刻方法を提供することを目的とする。

【0012】

【課題を解決するための手段】前記目的を達成するために本発明の第1の態様は、強誘電体層を介在してその両側の対向面に各々電極を具備してなる強誘電体キャパシタ構造体の乾式蝕刻方法において、(a)前記強誘電体キャパシタ構造体上にハードマスクを形成する段階と、(b)前記ハードマスクを用いてC12/O2/Arの混合ガスで前記ハードマスク下部の電極及び強誘電体層を順次に蝕刻する段階とで構成した。

【0013】また、本発明の第2の態様は、前記第1の態様において、前記電極はPt、Ir、Ru、Rhのうちの少なくとも何れか1つの物質よりなるように構成した。

【0014】また、本発明の第3の態様は、前記第1または第2の態様において、前記電極はPt/IrO<sub>2</sub>、Pt/RuO<sub>2</sub>、Pt/LSCO、Ir/IrO<sub>2</sub>、Ir/RuO<sub>2</sub>、Ir/LSCO、Ru/IrO<sub>2</sub>、Ru/RuO<sub>2</sub>、Ru/LSCOのうちの何れか1つの積層構造を構成するのが好ましい。なお、前記LSCOは、(La<sub>x</sub>Sr<sub>1-x</sub>)CoO<sub>3</sub>を表す。

【0015】また、本発明の第4の態様は、前記第1の態様において、前記強誘電体層はPb(Zr<sub>x</sub>Ti<sub>1-x</sub>)O<sub>3</sub>(以下、PZTと称する。)、(Pb<sub>x</sub>La<sub>1-x</sub>)(Zr<sub>y</sub>Ti<sub>1-y</sub>)O<sub>3</sub>(以下、PLZTと称する。)、

$\text{SrBi}_2\text{Ta}_2\text{O}_9$  (以下、SBTと称する。)、 $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{2-x})\text{O}_9$  (以下、SBNTと称する。)のうちの何れか1つの物質で形成すると都合がよい。

【0016】さらに、本発明の第5の態様は、前記第1乃至第4の態様において、前記電極/強誘電体層の構造はPt/PZT、Ir/PZT、Ru/PZT、Pt/IrO<sub>2</sub>/PZT、Ir/IrO<sub>2</sub>/PZT、Ru/RuO<sub>2</sub>/PZT、Ir/RuO<sub>2</sub>/PZT、Pt/RuO<sub>2</sub>/PZT、Pt/SBT、Ir/SBT、Ru/SBT、Pt/IrO<sub>2</sub>/SBT、Ir/IrO<sub>2</sub>/SBT、Ru/IrO<sub>2</sub>/SBT、Pt/RuO<sub>2</sub>/SBT、Ru/RuO<sub>2</sub>/SBT、Ir/RuO<sub>2</sub>/SBTのうちの何れか1つの積層構造よりなることが望ましい。

【0017】また、本発明の第6の態様は、前記第1の態様において、前記(a)段階は、(a-1)前記ハードマスク物質をリアクティブスパッタリング法、スパッタリング法、スピンコーティング法及び化学気相蒸着法のうちの何れか1つの方法で前記強誘電体構造体上に蒸着させるサブ段階と、(a-2)前記ハードマスク物質蒸着層上にフォトレジストマスクを形成するサブ段階と、(a-3)前記ハードマスク物質蒸着層を蝕刻して前記ハードマスクを形成するサブ段階と、(a-4)前記ハードマスク上に残っている前記フォトレジストマスクを取り除くサブ段階とを含むことが好ましい。

【0018】さらにまた、本発明の第7の態様は、前記第6の態様において、前記(a-1)サブ段階で前記ハードマスク物質としてTiO<sub>2</sub>、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、RuO<sub>2</sub>、CrO<sub>2</sub>及びTiNのうちの少なくとも何れか1つの物質を使用し、前記(a-3)サブ段階で前記ハードマスク物質蒸着層はC<sub>12</sub>/C<sub>2</sub>F<sub>6</sub>/Arの混合ガスで蝕刻するように構成した。

【0019】そして、本発明の第8の態様は、前記第1の態様において、前記(b)段階で前記C<sub>12</sub>/O<sub>2</sub>/Arの混合ガスの混合比はC<sub>12</sub>ガスを10乃至40%とし、O<sub>2</sub>ガスを10乃至50%とし、かつ、(O<sub>2</sub>/C<sub>12</sub>) > 1.0の条件を満たすことが望ましい。

【0020】

【発明の実施の形態】以下、添付した図面に基づき本発明に係る強誘電体キャパシタ構造の乾式蝕刻方法を詳しく説明する。

【0021】本発明は強誘電体キャパシタを構成する電極の蝕刻時、または電極と強誘電体とを1つのマスクを用いて蝕刻する場合、一般のフォトレジストマスクの代りにハードマスクを使用すると共に、適切な組成を有する蝕刻ガスを選択して使用することによって、図4

(A)及び図4(B)に示されるように、蝕刻後に発生する再蒸着や蝕刻残留物がなく蝕刻傾斜角度を80°程度以上にして所望の電極形状にパターン形成する新たな乾式蝕刻方法を提示する。その主な内容は次の通りであ

る。

【0022】本発明の第1の実施形態は、従来の蝕刻方法の問題点を克服するために従来の強誘電体キャパシタ構造体の蝕刻時に使われたフォトレジストマスクの代りにTiO<sub>2</sub>、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、RuO<sub>2</sub>、CrO<sub>2</sub>の酸化膜及びTiN膜のうちの少なくとも1つからなるハードマスクを用いるものである。

【0023】この中で、特にTiO<sub>2</sub>薄膜をハードマスクとして用いる場合には、常温でリアクティブスパッタリング法でTiO<sub>2</sub>薄膜を電極層の上などに蒸着した後、650℃で30分間アニーリングしてアナタース相(anatase phase)やルチル相(rutile phase)の構造を含むように結晶化して使用するのが好ましい。このようにして蒸着されたTiO<sub>2</sub>薄膜はフォトレジストマスクを用いるフォトリソグラフィ工程によってパターンニングされた後、C<sub>12</sub>/C<sub>2</sub>F<sub>6</sub>/Arの混合ガスを使用して蝕刻する。このような蝕刻によってパターンニングされたTiO<sub>2</sub>薄膜は電極と強誘電体薄膜の蝕刻のためのハードマスクとして使われる。

【0024】本発明の第2の実施形態は、このようなTiO<sub>2</sub>からなるハードマスクを用いた場合に、電極(Pt)と強誘電体(PZT:PbZr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>)の各薄膜の蝕刻を行うためにC<sub>12</sub>/O<sub>2</sub>/Arの混合ガスを使用してそれぞれの薄膜に対する最適の蝕刻工程を提示するものである。

【0025】即ち、C<sub>12</sub>/Arの蝕刻ガスにO<sub>2</sub>ガスを含めて使用すれば、TiO<sub>2</sub>からなるハードマスクは既存のフォトレジストとは違ってマスクの腐食(erosion)の量が最小となる。従って、このTiO<sub>2</sub>からなるハードマスクの大きさが十分に保持されながら電極と強誘電体の各薄膜が蝕刻されるので電極と強誘電体の蝕刻傾斜角度が適切に増加する。このようにTiO<sub>2</sub>からなるハードマスクの厚さを適切に調節することによって電極と強誘電体の各薄膜を蝕刻した後に残存している前記ハードマスクの厚さは100Å以下となり、その上面に強誘電体キャパシタの反応隔壁層として用いられるTiO<sub>2</sub>薄膜を蒸着して形成された強誘電体キャパシタ構造体を次の工程に送る。

【0026】次に、図5(A)乃至図5(D)を参照して本発明の実施の形態を更に詳細に説明する。図5

(A)乃至図5(D)は本発明に係る乾式蝕刻方法を適用して強誘電体キャパシタ構造体を形成する蝕刻工程を各工程段階別に示す断面図である。まず、図5(A)に示されるように、シリコン基板100上に強誘電体薄膜(PZT)110、電極層(Pt)120及びハードマスク(TiO<sub>2</sub>)130が順次に積層された積層構造物を作製する。その後、その積層構造物の上に従来公知の方法でパターンニングされたフォトレジストマスク140を形成する。

【0027】ここで、強誘電体キャパシタの電極としては前記Ptのほか、Ir、Ru、Rhの金属のうちの少なくとも1つの物質を使用することができる。また、強誘電体キャパシタの電極は、Pt/IrO<sub>2</sub>、Pt/RuO<sub>2</sub>、Pt/LSCO、Ir/IrO<sub>2</sub>、Ir/RuO<sub>2</sub>、Ir/LSCO、Ru/IrO<sub>2</sub>、Ru/RuO<sub>2</sub>、Ru/LSCOのうちの何れか1つの積層構造を有するように形成してもよい。

【0028】また、前記強誘電体薄膜としてはPb(Zr<sub>x</sub>Ti<sub>1-x</sub>)O<sub>3</sub> (以下、PZTと称する。)、(Pb<sub>x</sub>La<sub>1-x</sub>) (Zr<sub>y</sub>Ti<sub>1-y</sub>)O<sub>3</sub> (以下、PLZTと称する。)、SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> (以下、SBTと称する。)、SrBi<sub>2</sub>(Ta<sub>x</sub>Nb<sub>2-x</sub>)O<sub>9</sub> (以下、SBNと称する。)のうちの何れか1つの物質を使用すると都合がよい。

【0029】さらに、電極/強誘電体の積層構造がPt/PZT、Ir/PZT、Ru/PZT、Pt/IrO<sub>2</sub>/PZT、Ir/IrO<sub>2</sub>/PZT、Ru/RuO<sub>2</sub>/PZT、Ir/RuO<sub>2</sub>/PZT、Pt/RuO<sub>2</sub>/PZT、Pt/SBT、Ir/SBT、Ru/SBT、Pt/IrO<sub>2</sub>/SBT、Ir/IrO<sub>2</sub>/SBT、Ru/IrO<sub>2</sub>/SBT、Pt/RuO<sub>2</sub>/SBT、Ru/RuO<sub>2</sub>/SBT、Ir/RuO<sub>2</sub>/SBTのうちの何れか1つの積層構造を有するように構成することが好ましい。

【0030】そして、前記ハードマスクを構成する物質としては前記TiO<sub>2</sub>のみならず、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、RuO<sub>2</sub>及びCrO<sub>2</sub>などの酸化膜とTiN膜のうちの少なくとも1つを使用することができる。また、これらの酸化膜の形成法として、リアクティブスパッタリング法、スパッタリング法、スピコーティング法、化学気相蒸着(CVD)法の何れか1つの蒸着法を用いることができる。

【0031】次いで、図5(B)に示されるように、パターンニングされたフォトリソマスク140を用いてC<sub>12</sub>/C<sub>2</sub>F<sub>6</sub>/Arの混合ガスによってハードマスク(TiO<sub>2</sub>)130を蝕刻して所定のパターンを形成し、その後、フォトリソマスク140を従来公知の方法で除去してパターンニングされたハードマスク(TiO<sub>2</sub>)131を形成する。

【0032】そして、図5(C)及び図5(D)に各々示されるように、パターンニングされたハードマスク(TiO<sub>2</sub>)131を用いてC<sub>12</sub>/O<sub>2</sub>/Arの混合ガスで電極層(Pt)120及び強誘電体薄膜(PZT)110を順次に蝕刻し、電極(Pt)のパターン121及び強誘電体薄膜(PZT)のパターン111を形成する。その際、C<sub>12</sub>、O<sub>2</sub>及びArガスの量の混合比率を適切に調節してハードマスク131の蝕刻率に対する電極層(Pt)120と強誘電体薄膜(PZT)110の蝕刻率、即ち電極と強誘電体との選択度(Pt/TiO<sub>2</sub>、PZT/TiO<sub>2</sub>)を最大にして蝕刻工程を行う。その

際、前記蝕刻が行われる蝕刻炉の蝕刻条件としては、例えば、Coil RF powerを600乃至1000Wとし、プラテンに印加されるDCバイアス電圧(Dc bias to platen)は300乃至500Vとし、ガス圧力は0.133乃至0.665Pa(1.0乃至5.0mTorr)程度とすることができる。

【0033】本発明者等は、TiO<sub>2</sub>からなるハードマスクを使用したPt薄膜を蝕刻する場合に、前記蝕刻炉の蝕刻条件で、C<sub>12</sub>ガスの量を10%及び20%に固定したままO<sub>2</sub>ガスの量を増加させ、C<sub>12</sub>/O<sub>2</sub>/Arの混合ガス中のO<sub>2</sub>ガスの割合と、TiO<sub>2</sub>からなるハードマスクの蝕刻率及びPt電極の蝕刻率並びにPt/TiO<sub>2</sub>選択度との関係を求めた。その実験結果を図6及び図7のグラフに示す。

【0034】図6及び図7は、各々C<sub>12</sub>ガスの量を10%、20%に固定した状態で、O<sub>2</sub>ガスの供給量に応じた電極(Pt)とハードマスク(TiO<sub>2</sub>)層の蝕刻率及びPt/TiO<sub>2</sub>の蝕刻選択度を示すグラフである。図6及び図7に示されるように、C<sub>12</sub>ガスよりO<sub>2</sub>ガスの量が多い条件でPt/TiO<sub>2</sub>選択度が増加することが分かる。しかし、O<sub>2</sub>ガスの量がC<sub>12</sub>ガスの量より過多になるとPt電極の蝕刻率が低下し前記選択度が低下するので蝕刻されたPt電極の傾斜角度を考慮して最適のガス量を使用しなければならない。

【0035】図8は、Coil RFパワーを800Wとし、ガス圧力を0.133Pa(1.0mTorr)とし、プラテンに印加されるDCバイアス電圧を300Vとした条件で、基板上に形成されたPt薄膜を、その上にTiO<sub>2</sub>からなるハードマスクを用いて蝕刻したときのTiO<sub>2</sub>からなるハードマスク及びPt薄膜の傾斜輪郭を示す断面SEM写真である。図8に示されるように、本発明の構成要件にて蝕刻を行えばPt薄膜などの蝕刻傾斜角度を80℃程度に形成させることが可能なが分かる。

【0036】次に本発明者等は、TiO<sub>2</sub>からなるハードマスクを使用したPZT薄膜の蝕刻の場合においても、前記蝕刻炉の蝕刻条件を、前記した通りに、Coil RF powerを600乃至1000Wとし、プラテンに印加されるDCバイアス電圧(Dc bias to platen)を300乃至500Vとし、ガス圧力を0.133乃至0.665Pa(1.0乃至5.0mTorr)程度とし、C<sub>12</sub>ガスの量を20%及び30%に固定した状態でO<sub>2</sub>ガスの量を変化させて、C<sub>12</sub>/O<sub>2</sub>/Arの混合ガス中のO<sub>2</sub>ガスの割合と、TiO<sub>2</sub>からなるハードマスク及びPZT薄膜の蝕刻率並びにPZT/TiO<sub>2</sub>選択度との関係を調べた。その実験結果を図9及び図10のグラフに示す。

【0037】図9及び図10は、各々C<sub>12</sub>ガスの量を20%、30%に固定した状態で、O<sub>2</sub>ガスの供給量に



応じるハードマスク (TiO<sub>2</sub>) 層と強誘電体 (PZT) 層の蝕刻率及び PZT/TiO<sub>2</sub> の蝕刻選択度を示すグラフである。図 9 及び図 10 に示すように、前記した TiO<sub>2</sub> からなるハードマスクを用いた Pt 電極蝕刻の場合と同様、C<sub>12</sub> ガスの量より O<sub>2</sub> ガスの量の方が多い場合に PZT/TiO<sub>2</sub> 選択度が高いということが分かる。但し、O<sub>2</sub> の量が過多の場合には PZT 薄膜の蝕刻率が大きく減少することが分かる。従って、TiO<sub>2</sub> からなるハードマスクを用いた PZT 蝕刻の場合でも蝕刻された PZT 薄膜の蝕刻傾斜角度を観察して最適の蝕刻条件を設定すべきである。

【0038】即ち、蝕刻用の C<sub>12</sub>/O<sub>2</sub>/Ar 混合ガスの混合比は C<sub>12</sub> ガスを 10 乃至 40% とし、O<sub>2</sub> ガスを 10 乃至 50% とし、残部を Ar ガスとするが、(O<sub>2</sub>/C<sub>12</sub>) > 1.0 の条件を満たすように、酸素ガスの量が塩素ガスの量より多くなるように供給することが望ましい。

【0039】図 11 は図 10 に示された条件で TiO<sub>2</sub> からなるハードマスクを用いて蝕刻された Pt/PZT 薄膜の傾斜輪郭を示す SEM 写真である。図 11 に示されるように、本発明の構成要件にて蝕刻を行えば PZT 薄膜などの蝕刻傾斜角度を 75° 程度に形成させることが可能なことが分かる。なお、本発明者等は、TiO<sub>2</sub> からなるハードマスクのほかに、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、RuO<sub>2</sub>、CrO<sub>2</sub> 及び TiN のいずれか 1 つからなるハードマスクについても本実施形態の条件をそのまま適用して、前記蝕刻傾斜角度を 75° 程度以上に形成することができることを明らかとした。

【0040】以上、説明した蝕刻用混合ガスの混合比と Pt 電極及び TiO<sub>2</sub> からなるハードマスクの各蝕刻率並びに Pt/TiO<sub>2</sub> 選択度との関係について調査した実験結果をまとめると、蝕刻用の C<sub>12</sub>/O<sub>2</sub>/Ar 混合ガスの混合比は C<sub>12</sub> ガスを 10 乃至 40% とし、O<sub>2</sub> ガスを 10 乃至 50% とし、残部を Ar ガスとするが、(O<sub>2</sub>/C<sub>12</sub>) > 1.0 の条件を満たすように、即ち、酸素ガスの量が塩素ガスより多くなるように供給することが望ましい。なお、本発明はこの実施の形態に限定されるものではなく、本発明の技術的思想に基づく限りにおいて適宜に変形することが可能である。即ち、本発明は、本実施形態で説明したような TiO<sub>2</sub> からなるハードマスクのみならず、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、RuO<sub>2</sub>、CrO<sub>2</sub> 及び TiN のいずれか 1 つからなるハードマスクについても本実施形態の条件をそのまま適用して、蝕刻傾斜角度を適切に増加させた強誘電体キャパシタ構造体が得られるようにするものである。

【0041】

【発明の効果】以上説明した通りに構成される本発明によれば、以下のような効果を奏する。即ち、本発明に係る蝕刻工程を用いれば、強誘電体キャパシタを含む強誘電体メモリ素子の製造時に単位セルのサイズを大幅に縮

小さらせることができる。

【0042】また、前記強誘電体キャパシタを含まず、強誘電体をゲート絶縁層として用いる単一のトランジスタメモリ素子を有する MFS、または MFIS の製造時には、蝕刻されるゲートスタック Pt/PZT または Pt/PZT/TiO<sub>2</sub> と、ドーピングで形成されるソースとドレインとの適切な連結が特に重要であるが、このとき蝕刻された前記ゲートスタックの傾斜角度を適切に増加させることができるので MFS、または MFIS 構造の強誘電体メモリ素子を所望の形状に形成し易くなり、前記ゲートスタックと前記ソースとドレインとを適切に連結させることができる。さらに、この素子の大きさを大幅に縮小させることも可能となる。

【0043】そして、TiO<sub>2</sub>、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、RuO<sub>2</sub>、CrO<sub>2</sub> 及び TiN の何れか 1 つからなるハードマスクを使用して蝕刻する場合に、蝕刻ガスとして C<sub>12</sub>/Ar の混合ガスに O<sub>2</sub> ガスを添加したものをを用い、電極や強誘電体の蝕刻に対して各々最適の蝕刻工程の条件範囲を提示したので、この条件を適用すれば、以下のような効果が得られる。

(1) 蝕刻後に蝕刻残留物が存在しないので蝕刻後の残留物の除去やクリーニングなどを含む後続の処理工程が不要となる。従って、従来の蝕刻方法に比べて製造コストを大幅に削減することができる。

【0044】(2) 電極の蝕刻された側面が基板となす傾斜角度は 80° 程度となり、電極と強誘電体薄膜とを共に蝕刻する場合にも約 75° 以上の前記傾斜角度が得られる。従って、従来の方法より単位素子の大きさを縮小させることができる。

【0045】(3) 即ち、本発明によれば、強誘電体キャパシタの構造 (例えば、2T-2CFE RAM、1T-1CFE RAM など) に応じ、または単一トランジスタからなるメモリ素子を含む MFS FET または MFIS FET の電極と強誘電体薄膜の蝕刻された側面の傾斜角度を増加させるために電極と強誘電体とをそれぞれのマスクで分離して蝕刻することによって所要経費を節減することができると共に、製造時間を短縮することができる。その結果、製造されるメモリ素子の経済性を高めることができるようになって市場競争力を十分に確保しうる。

【図面の簡単な説明】

【図 1】(A) 及び (B) は各々従来の乾式蝕刻方法を MFM キャパシタ構造体の形成に適用した結果を示す断面図である。

【図 2】(A) 及び (B) は各々従来の乾式蝕刻方法を MFIS キャパシタ構造体の形成に適用した結果を示す断面図である。

【図 3】(A) 及び (B) は各々従来の乾式蝕刻方法を MFM キャパシタの形成に実際に適用した結果を示す断面写真であって、(B) は (A) の部分拡大写真であ

る。

【図4】(A) 及び (B) は各々本発明に係る乾式蝕刻方法をMFMキャパシタ及びMFISキャパシタの形成に適用した結果を示す断面図である。

【図5】(A) 乃至 (D) は本発明に係る乾式蝕刻方法を適用して強誘電体キャパシタ構造体を形成する蝕刻工程を工程段階別に示す断面図である。

【図6】C12ガスの量を10%に固定した状態でO2ガスの供給量に応じた電極(Pt)とハードマスク(TiO2)層の蝕刻率及びPt/TiO2の蝕刻選択度を示すグラフである。

【図7】C12ガスの量を20%に固定した状態でO2ガスの供給量に応じた電極(Pt)とハードマスク(TiO2)層の蝕刻率及びPt/TiO2の蝕刻選択度を示すグラフである。

【図8】800WのCoil RFパワー、0.133 Pa (1mTorr) のガス圧力及び300VのDCバイアス電圧の条件により実際に形成された電極(Pt)とハードマスク(TiO2)の傾斜輪郭を示す断面SEM写真である。

【図9】C12ガスの量を20%に固定した状態でO2ガスの供給量に応じるハードマスク(TiO2)層と強誘

電体(PZT)層の蝕刻率及びPZT/TiO2の蝕刻選択度を示すグラフである。

【図10】C12ガスの量を30%に固定した状態でO2ガスの供給量に応じるハードマスク(TiO2)層と強誘電体(PZT)層の蝕刻率及びPZT/TiO2の蝕刻選択度を示すグラフである。

【図11】800WのCoil RFパワー、0.133 Pa (1mTorr) のガス圧力及び300VのDCバイアス電圧の条件により実際に形成された電極とハードマスク(Pt/TiO2)の傾斜輪郭を示す断面SEM写真である。

【符号の説明】

1, 10 蝕刻残留物が再蒸着した層

20 TiO2

100 基板(Si)

110 強誘電体薄膜(PZT)

111 パターニングされた強誘電体薄膜(PZT)

120 電極層(Pt)

121 パターニングされた電極層(Pt)

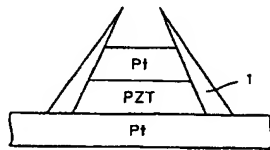
20 130 ハードマスク(TiO2)

131 パターニングされたハードマスク(TiO2)

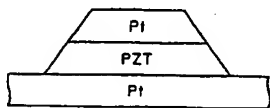
140 フォトリソグマスク

【図1】

(A)  
(従来の技術)

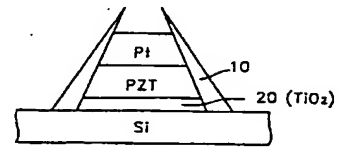


(B)  
(従来の技術)

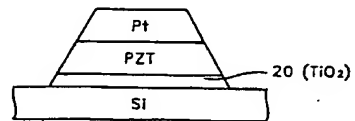


【図2】

(A)  
(従来の技術)

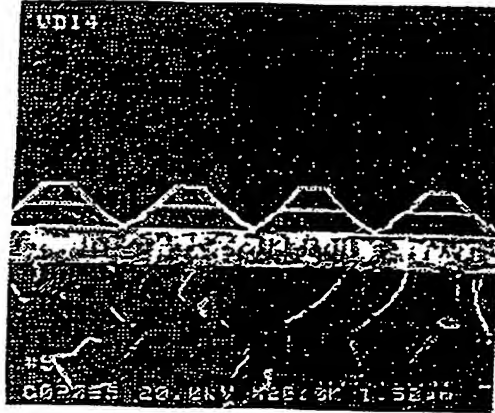


(B)  
(従来の技術)

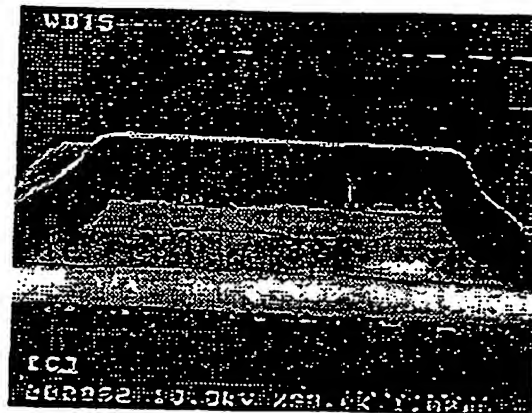


【図3】

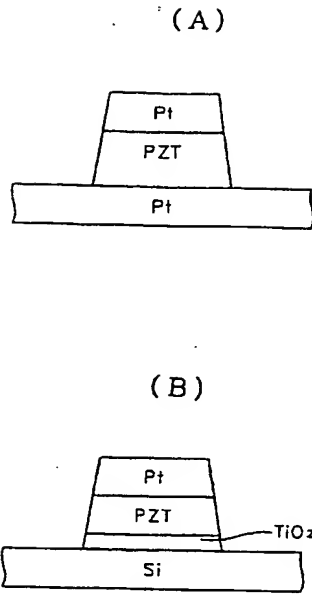
(A)  
(従来の技術)



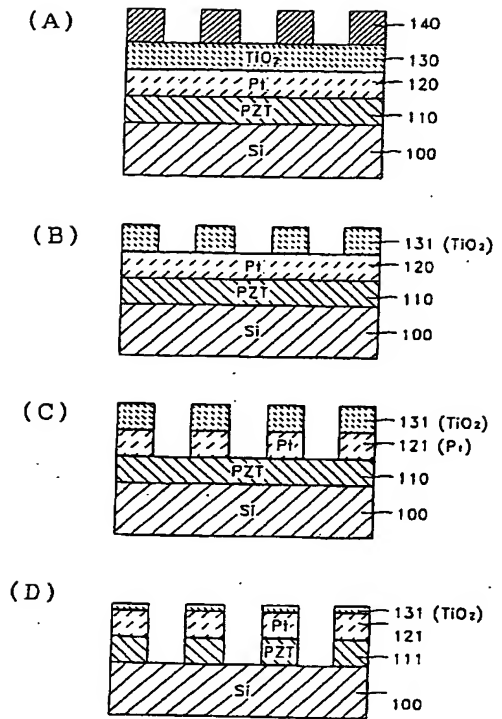
(B)  
(従来の技術)



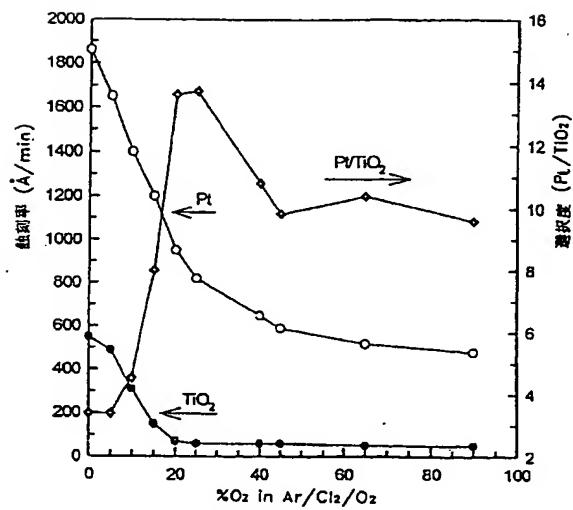
【図 4】



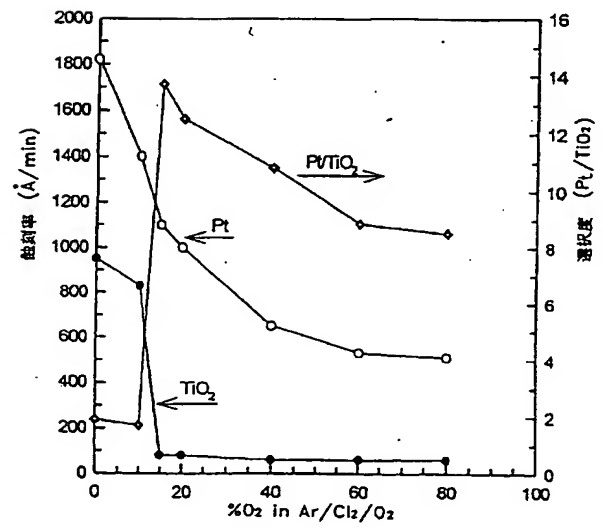
【図 5】



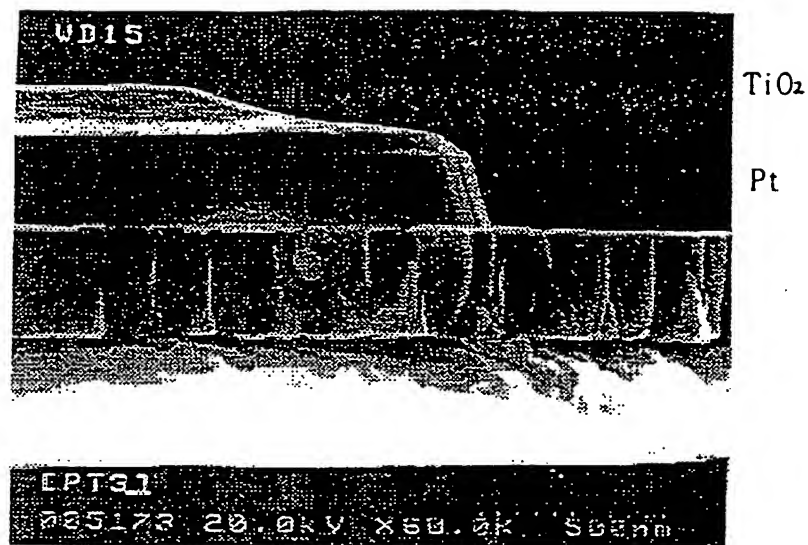
【図 6】



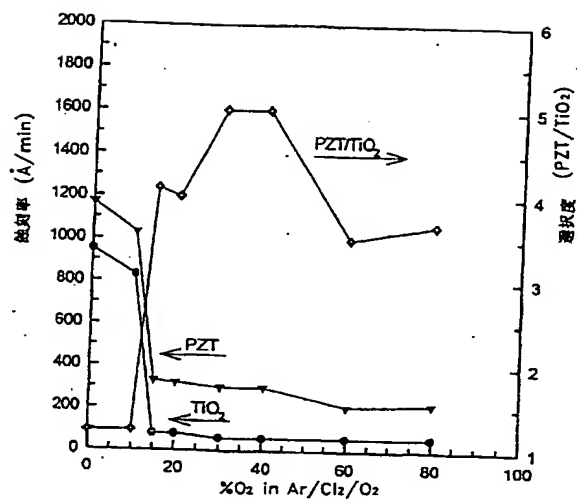
【図 7】



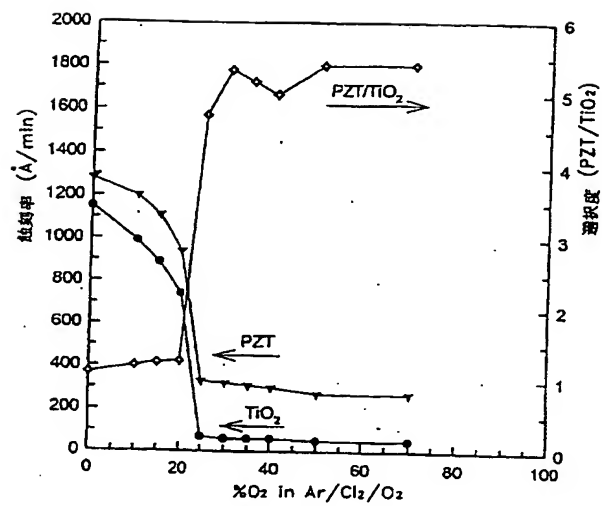
【図8】



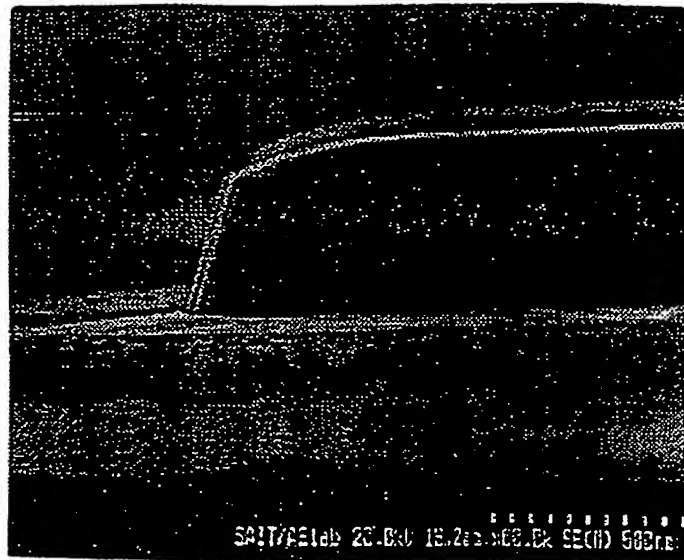
【図9】



【図10】



【図11】




---

フロントページの続き

(51) Int. Cl.<sup>7</sup>

H O 1 L 21/8242  
 21/8247  
 29/788  
 29/792

識別記号

F I

テマコード(参考)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-82687

(43) 公開日 平成9年(1997)3月28日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3065			H 0 1 L 21/302	F
C 2 3 F 4/00			C 2 3 F 4/00	E
H 0 1 L 21/28			H 0 1 L 21/28	F
21/3213			21/302	A
// H 0 1 L 29/78				C

審査請求 未請求 請求項の数 4 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平7-239858

(22) 出願日 平成7年(1995)9月19日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 川崎 賢

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 所望のパターンを良好に形成するとともに、歩留りの高い半導体装置を得ることができ、かつ、工程数を削減し生産コストを低減することのできる半導体装置の製造方法を提供する。

【解決手段】  $Cl_2 / NF_3 = 40 / 20$  sccm、圧力1.2mTorrの条件にて、チタンシリサイド膜3とポリシリコン膜2の一部とを異方性エッチングする。引続き、 $Cl_2$ と $O_2$ との混合ガスにより、ポリシリコン膜2を異方性エッチングする。 $NF_3$ が完全に解離する。 $N$ 原子がパターン側壁の強固な保護膜となるので、サイドエッチングが発生せず、良好なパターン形状を得ることができる。同一装置内で各膜をエッチングするので、工程を削減することができ、生産コストの低減を図ることができる。さらに、異物の発生を低減することができ、歩留りの高い半導体装置を得ることができる。

